



Atty. Dkt. No. 016907-1577

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Hitoshi TSUNO

Title: SEMICONDUCTOR DEVICE INCLUDING MOS FIELD EFFECT
TRANSISTOR HAVING OFFSET SPACERS OR GATE SIDEWALL FILMS
ON EITHER SIDE OF GATE ELECTRODE AND METHOD OF
MANUFACTURING THE SAME

Appl. No.: 10/676,264

Filing Date: 10/02/2003

Examiner: Unassigned

Art Unit: 2811

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- JAPAN Patent Application No. 2003-091972 filed 03/28/2003.

Respectfully submitted,

Date MAR 12 2004

By Richard L. Schwaab

FOLEY & LARDNER LLP
Customer Number: 22428
Telephone: (202) 672-5414
Facsimile: (202) 672-5399

Richard L. Schwaab
Attorney for Applicant
Registration No. 25,479

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 2 8 日

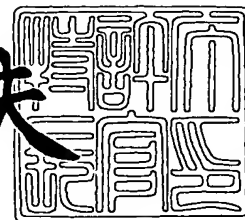
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 9 1 9 7 2
[ST. 10/C]: [J P 2 0 0 3 - 0 9 1 9 7 2]

出 願 人
Applicant(s): 株式会社東芝

2 0 0 3 年 1 0 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 0 8 0 9

【書類名】 特許願

【整理番号】 A000206360

【提出日】 平成15年 3月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 22

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 津野 仁志

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

 【弁理士】

 【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板に形成された第 2 導電型の第 1 の不純物領域と、

第 1 導電型の前記半導体基板に形成された第 1 導電型の第 2 の不純物領域と、
前記第 1 の不純物領域上に形成された第 1 のゲート絶縁膜と、
前記第 1 のゲート絶縁膜上に形成された第 1 のゲート電極と、
前記第 2 の不純物領域上に形成された第 2 のゲート絶縁膜と、
前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極と、
前記第 1 のゲート電極の側面に形成された第 1 の側壁絶縁膜と、
前記第 2 のゲート電極の側面に形成され、前記第 1 の側壁絶縁膜の膜厚と異なる膜厚を有する第 2 の側壁絶縁膜と、

前記第 1 のゲート電極の側面方向の前記第 1 の側壁絶縁膜上に形成された第 3 の側壁絶縁膜と、

前記第 2 のゲート電極の側面方向の前記第 2 の側壁絶縁膜上に形成され、前記第 3 の側壁絶縁膜の膜厚と異なる膜厚を有する第 4 の側壁絶縁膜と、
を具備することを特徴とする半導体装置。

【請求項 2】 第 1 導電型の半導体基板に形成され、素子分離領域で分離された第 1、第 2 の素子領域と、

前記第 1 の素子領域に形成された第 2 導電型の第 1 の不純物領域と、
前記第 1 の不純物領域上に形成された第 1 のゲート絶縁膜と、
前記第 1 のゲート絶縁膜上に形成された第 1 のゲート電極と、
前記第 2 の素子領域に形成された第 1 導電型の第 2 の不純物領域と、
前記第 2 の不純物領域上に形成された第 2 のゲート絶縁膜と、
前記第 2 のゲート絶縁膜上に形成された第 2 のゲート電極と、
前記第 1 のゲート電極の側面に形成された第 1 のオフセットスペーサと、
前記第 2 のゲート電極の側面に形成され、前記第 1 のオフセットスペーサの膜厚より薄い膜厚を有する第 2 のオフセットスペーサと、

前記第1のゲート電極の側面方向の前記第1のオフセットスペーサ上に形成された第1のゲート側壁膜と、

前記第2のゲート電極の側面方向の前記第2のオフセットスペーサ上に形成され、前記第1のゲート側壁膜の膜厚より薄い膜厚を有する第2のゲート側壁膜と、
を具備することを特徴とする半導体装置。

【請求項3】 前記第2の側壁絶縁膜の膜厚は、前記第1の側壁絶縁膜の膜厚より薄いことを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第4の側壁絶縁膜の膜厚は、前記第3の側壁絶縁膜の膜厚より薄いことを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記第1の側壁絶縁膜は、前記第1のゲート絶縁膜下に形成される第1チャネル領域を挟む第1のエクステンション領域を、前記第1の不純物領域に形成するために用いられるオフセットスペーサであり、

前記第2の側壁絶縁膜は、前記第2のゲート絶縁膜下に形成される第2チャネル領域を挟む第2のエクステンション領域を、前記第2の不純物領域に形成するために用いられるオフセットスペーサであることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記第3の側壁絶縁膜は、前記第1チャネル領域を挟む第1のエクステンション領域の外側の前記第1の不純物領域に第1のソース／ドレイン領域を形成するために用いられるゲート側壁膜であり、

前記第4の側壁絶縁膜は、前記第2チャネル領域を挟む第2のエクステンション領域の外側の前記第2の不純物領域に第2のソース／ドレイン領域を形成するために用いられるゲート側壁膜であることを特徴とする請求項5に記載の半導体装置。

【請求項7】 第2導電型の前記第1の不純物領域には、前記第1のゲート電極、第1のゲート絶縁膜、第1のエクステンション領域、第1のソース／ドレイン領域を含むpチャネルMOS型電界効果トランジスタが形成され、

第1導電型の前記第2の不純物領域には、前記第2のゲート電極、第2のゲート絶縁膜、第2のエクステンション領域、第2のソース／ドレイン領域を含むn

チャンネルMOS型電界効果トランジスタが形成されていることを特徴とする請求項6に記載の半導体装置。

【請求項8】 前記第1の不純物領域と前記第2の不純物領域とを分離する素子分離領域を、さらに具備することを特徴とする請求項1に記載の半導体装置。

【請求項9】 前記第2の側壁絶縁膜は、前記第1の側壁絶縁膜と比べてエッチングレートが速くなる元素を含むことを特徴とする請求項1に記載の半導体装置。

【請求項10】 前記第4の側壁絶縁膜は、前記第3の側壁絶縁膜と比べてエッチングレートが速くなる元素を含むことを特徴とする請求項1または9に記載の半導体装置。

【請求項11】 前記第2のゲート電極は、前記第1のゲート電極が含有しない元素を含んでいることを特徴とする請求項1または2に記載の半導体装置。

【請求項12】 前記元素は、ヒ素、リン、ホウ素、インジウム、炭素、ゲルマニウムのうちの少なくともいずれかであることを特徴とする請求項9、10、11のいずれか1つに記載の半導体装置。

【請求項13】 前記第1、第2の側壁絶縁膜は、TEOS膜あるいはシリコン窒化膜であることを特徴とする請求項1、9、10、12のいずれか1つに記載の半導体装置。

【請求項14】 前記第3、第4の側壁絶縁膜は、TEOS膜、シリコン窒化膜、及びBSG膜から構成された積層膜であることを特徴とする請求項13に記載の半導体装置。

【請求項15】 第1導電型の半導体基板内の第2導電型の第1の不純物領域上に第1のゲート電極を形成する工程と、

前記半導体基板内の第1導電型の第2の不純物領域上に第2のゲート電極を形成する工程と、

前記第1、第2のゲート電極上を含む第1、第2の不純物領域上に第1の絶縁膜を形成する工程と、

前記第2のゲート電極上を含む前記第2の不純物領域上に形成された前記第1

の絶縁膜のみに、前記第 1 の絶縁膜のエッチングレートを変化させる元素を導入する工程と、

前記第 1 の絶縁膜を異方性エッチング法により加工して、前記第 1 のゲート電極の側面に第 1 の側壁絶縁膜を形成すると共に、前記第 2 のゲート電極の側面に、前記第 1 の側壁絶縁膜の膜厚と異なる膜厚を有する第 2 の側壁絶縁膜を形成する工程と、

前記第 1 のゲート電極及び前記第 1 の側壁絶縁膜をマスクとして用いて、イオン注入法により前記第 1 の不純物領域に第 1 導電型の第 3 の不純物領域を形成する工程と、

前記第 2 のゲート電極及び前記第 2 の側壁絶縁膜をマスクとして用いて、イオン注入法により前記第 2 の不純物領域に第 2 導電型の第 4 の不純物領域を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 16】 前記第 3、第 4 の不純物領域を形成した後、

前記半導体基板上に第 2 の絶縁膜を形成する工程と、

前記第 2 のゲート電極上を含む前記第 2、第 4 の不純物領域上に形成された前記第 2 の絶縁膜のみに、前記第 2 の絶縁膜のエッチングレートを変化させる元素を導入する工程と、

前記第 2 の絶縁膜を異方性エッチング法により加工して、前記第 1 のゲート電極の側面方向の前記第 1 の側壁絶縁膜上に第 3 の側壁絶縁膜を形成すると共に、前記第 2 のゲート電極の側面方向の前記第 2 の側壁絶縁膜上に、前記第 3 の側壁絶縁膜の膜厚と異なる膜厚を有する第 4 の側壁絶縁膜を形成する工程と、

前記第 1 のゲート電極、前記第 1 の側壁絶縁膜、及び前記第 3 の側壁絶縁膜をマスクとして用いて、イオン注入法により前記第 1 の不純物領域に第 1 導電型の第 5 の不純物領域を形成する工程と、

前記第 2 のゲート電極、前記第 2 の側壁絶縁膜、及び前記第 4 の側壁絶縁膜をマスクとして用いて、イオン注入法により前記第 2 の不純物領域に第 2 導電型の第 6 の不純物領域を形成する工程と、

をさらに具備することを特徴とする請求項 15 に記載の半導体装置の製造方法

【請求項 17】 前記第 2 の側壁絶縁膜の膜厚を、前記第 1 の側壁絶縁膜の膜厚より薄く形成することを特徴とする請求項 15 に記載の半導体装置の製造方法。

【請求項 18】 前記第 4 の側壁絶縁膜の膜厚を、前記第 3 の側壁絶縁膜の膜厚より薄く形成することを特徴とする請求項 16 に記載の半導体装置の製造方法。

【請求項 19】 前記エッチングレートを変化させる元素は、エッチングレートを速くする元素であることを特徴とする請求項 15 乃至 18 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 20】 前記エッチングレートを速くする元素は、ヒ素、リン、ホウ素、インジウム、炭素、ゲルマニウムのうちの少なくともいずれかであることを特徴とする請求項 19 に記載の半導体装置の製造方法。

【請求項 21】 第 1 導電型の半導体基板に、素子分離領域により分離された第 1、第 2 の素子領域を形成する工程と、

前記第 1 の素子領域に、第 2 導電型の第 1 の不純物領域を形成する工程と、

前記第 2 の素子領域に、第 1 導電型の第 2 の不純物領域を形成する工程と、

前記第 1、第 2 の不純物領域上に、第 1、第 2 のゲート絶縁膜をそれぞれ形成する工程と、

前記第 1、第 2 のゲート絶縁膜上に、第 1、第 2 のゲート電極をそれぞれ形成する工程と、

前記第 1、第 2 のゲート電極上を含む第 1、第 2 の不純物領域上に第 1 の絶縁膜を形成する工程と、

前記第 2 のゲート電極上を含む前記第 2 の不純物領域上に形成された前記第 1 の絶縁膜のみに、前記第 1 の絶縁膜のエッチングレートを変化させる元素を導入する工程と、

前記第 1 の絶縁膜を異方性エッチング法により加工して、前記第 1 のゲート電極の側面に第 1 のオフセットスペーサを形成すると共に、前記第 2 のゲート電極の側面に、前記第 1 のオフセットスペーサの膜厚と異なる膜厚を有する第 2 のオ

オフセットスペーサを形成する工程と、

前記第 1 のゲート電極及び前記第 1 のオフセットスペーサをマスクとして用いて、イオン注入法により前記第 1 の不純物領域に第 1 導電型の第 1 のエクステンション領域を形成する工程と、

前記第 2 のゲート電極及び前記第 2 のオフセットスペーサをマスクとして用いて、イオン注入法により前記第 2 の不純物領域に第 2 導電型の第 2 のエクステンション領域を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 22】 前記第 1、第 2 のエクステンション領域を形成した後、

前記第 1、第 2 のゲート電極上を含む第 1、第 2 の不純物領域上に第 2 の絶縁膜を形成する工程と、

前記第 2 のゲート電極上を含む前記第 2 の不純物領域上に形成された前記第 2 の絶縁膜のみに、前記第 2 の絶縁膜のエッチングレートを変化させる元素を導入する工程と、

前記第 2 の絶縁膜を異方性エッチング法により加工して、前記第 1 のゲート電極の側面方向の前記第 1 のオフセットスペーサ上に第 1 のゲート側壁膜を形成すると共に、前記第 2 のゲート電極の側面方向の前記第 2 のオフセットスペーサ上に、前記第 1 のゲート側壁膜の膜厚と異なる膜厚を有する第 2 のゲート側壁膜を形成する工程と、

前記第 1 のゲート電極、前記第 1 のオフセットスペーサ、及び第 1 のゲート側壁膜をマスクとして用いて、イオン注入法により前記第 1 の不純物領域に第 1 導電型の第 1 のソース／ドレイン領域を形成する工程と、

前記第 2 のゲート電極、前記第 2 のオフセットスペーサ、及び第 2 のゲート側壁膜をマスクとして用いて、イオン注入法により前記第 2 の不純物領域に第 2 導電型の第 2 のソース／ドレイン領域を形成する工程と、

をさらに具備することを特徴とする請求項 21 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ゲート電極の側面に、オフセットスペーサあるいはゲート側壁膜が形成された n チャネル MOS 型電界効果トランジスタ、及び p チャネル MOS 型電界効果トランジスタを有する半導体装置及びその製造方法に関するものである。

【0002】**【従来の技術】**

従来より、MOS 型電界効果トランジスタでは、そのゲート電極の側面に、オフセットスペーサあるいはゲート側壁膜が形成されたものが用いられている。ゲート電極の側面にオフセットスペーサあるいはゲート側壁膜を形成して MOS 型電界効果トランジスタを構成する場合、図 10～図 14 に示すように、同一基板上の n チャネル MOS 型電界効果トランジスタ（以下、n MOSFET と記す）、及び p チャネル MOS 型電界効果トランジスタ（以下、p MOSFET と記す）の両方に対して同一のプロセスが用いられている。これらのプロセスを以下に述べる。

【0003】

ゲート電極 101A、101B を形成した後、オフセットスペーサとなる膜 102 を堆積する（図 10 参照）。続いて、膜 102 を加工してゲート電極 101A、101B の側面にオフセットスペーサ 102A、102B を形成する（図 10、11 参照）。片方ずつトランジスタ領域をレジスト膜で保護して不純物をイオン注入し、エクステンション領域 103A、103B を形成する（図 12 参照）。

【0004】

次に、前記構造上にゲート側壁膜となる膜 104 を堆積する（図 13 参照）。続いて、膜 104 を加工してゲート電極 101A、101B の側面のオフセットスペーサ 102A、102B 上にゲート側壁膜 104A、104B を形成する。さらに、片方ずつトランジスタ領域を保護して不純物をイオン注入し、ソース／ドレイン領域 105A、105B を形成する（図 14 参照）。

【0005】

このような同一のプロセスを用いているため、nMOSFET、及びpMOSFETでは、同じ膜厚のオフセットスペーサ102A、102Bあるいはゲート側壁膜104A、104Bが形成されることになる。しかし、半導体装置の微細化が進む昨今においては、特に最適なオフセットスペーサの膜厚はnMOSFET、pMOSFETで異なることがわかっている。このため、同一のオフセットスペーサの膜厚で両者の特性を両立させることは困難な状況にある。

【0006】

また、オフセットスペーサの膜厚としては同じでも、オフセットスペーサとなる膜の堆積からエッチングまでのプロセスを2回繰り返すことで、実効的なオフセットスペーサの膜厚を作り分けることは可能である。すなわち、nMOSFET及びpMOSFETのゲート電極側面に第1のオフセットスペーサを形成した後、一方のMOSFETにエクステンション領域を形成し、続いて第1のオフセットスペーサ上に第2のオフセットスペーサを形成した後、他方のMOSFETにエクステンション領域を形成することにより、nMOSFETとpMOSFETとの間で、実効的なオフセットスペーサの膜厚を変更することができる（例えば、非特許文献1参照）。この場合の工程は以下ようになる。

【0007】

ゲート電極101A、101Bの側面に、第1のオフセットスペーサ102A、102Bを形成する。続いて、一方のトランジスタ領域をレジスト膜106で保護して不純物をイオン注入し、他方のトランジスタ領域にエクステンション領域107を形成する（図15参照）。

【0008】

次に、レジスト膜106を剥離した前記構造上に、第2のオフセットスペーサとなる膜108を堆積する（図16参照）。続いて、第2のオフセットスペーサとなる膜108を加工して、ゲート電極101A、101Bの側面の第1のオフセットスペーサ102A、102B上に、第2のオフセットスペーサ108A、108Bを形成する。その後、1回目とは反対極性の他方のトランジスタ領域をレジスト膜で保護して不純物をイオン注入し、一方のトランジスタ領域にエクステンション領域109を形成する（図17参照）。

【0009】

【非特許文献1】

太田和伸、中岡弘明、「二重オフセットサイドウォールを用いた80nmCMOSFETの低ゲートリーク・高性能化」、SEMI FORUM JAPAN 2002, ULSI Technology Seminar, Section 4, p.42-47

【0010】

【発明が解決しようとする課題】

しかしながら、前記プロセスの場合、オフセットスペーサとなる膜の堆積を2回行う必要があるため、オフセットスペーサの膜厚のばらつきが増加しやすく、結果としてMOSFET特性のばらつきが大きくなりやすい。また、オフセットスペーサを形成するためのエッチングも2回行っているため、これらのエッチング時の基板表面のエッチング量（基板掘れ）が大きくなり、ドーズロスによるMOSFETの特性劣化が大きくなるといった問題がある。さらに、先に不純物をイオン注入したMOSFETには、本来不要なオフセットスペーサが形成されることになるため、半導体集積回路の微細化には不利である。

【0011】

そこでこの発明は、前記課題に鑑みてなされたものであり、大幅な工程数の増加や、MOSFETの特性のばらつき増加あるいは特性劣化といった問題を伴わずに、nMOSFETとpMOSFETとで、オフセットスペーサの膜厚あるいはゲート側壁膜の膜厚を変更することができ、MOSFETの最適化が容易な半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

前記目的を達成するために、この発明の一実施形態の半導体装置は、第1導電型の半導体基板に形成された第2導電型の第1の不純物領域と、第1導電型の前記半導体基板に形成された第1導電型の第2の不純物領域と、前記第1の不純物領域上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と、前記第2の不純物領域上に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された第2のゲート電極と、前記第1

のゲート電極の側面に形成された第1の側壁絶縁膜と、前記第2のゲート電極の側面に形成され、前記第1の側壁絶縁膜の膜厚と異なる膜厚を有する第2の側壁絶縁膜と、前記第1のゲート電極の側面方向の前記第1の側壁絶縁膜上に形成された第3の側壁絶縁膜と、前記第2のゲート電極の側面方向の前記第2の側壁絶縁膜上に形成され、前記第3の側壁絶縁膜の膜厚と異なる膜厚を有する第4の側壁絶縁膜とを具備することを特徴とする。

【0013】

また、この発明の一実施形態の半導体装置の製造方法は、第1導電型の半導体基板内の第2導電型の第1の不純物領域上に第1のゲート電極を形成する工程と、前記半導体基板内の第1導電型の第2の不純物領域上に第2のゲート電極を形成する工程と、前記第1、第2のゲート電極上を含む第1、第2の不純物領域上に第1の絶縁膜を形成する工程と、前記第2のゲート電極上を含む前記第2の不純物領域上に形成された前記第1の絶縁膜のみに、前記第1の絶縁膜のエッチングレートを変化させる元素を導入する工程と、前記第1の絶縁膜を異方性エッチング法により加工して、前記第1のゲート電極の側面に第1の側壁絶縁膜を形成すると共に、前記第2のゲート電極の側面に、前記第1の側壁絶縁膜の膜厚と異なる膜厚を有する第2の側壁絶縁膜を形成する工程と、前記第1のゲート電極及び前記第1の側壁絶縁膜をマスクとして用いて、イオン注入法により前記第1の不純物領域に第1導電型の第3の不純物領域を形成する工程と、前記第2のゲート電極及び前記第2の側壁絶縁膜をマスクとして用いて、イオン注入法により前記第2の不純物領域に第2導電型の第4の不純物領域を形成する工程とを具備することを特徴とする。

【0014】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0015】

〔第1の実施の形態〕

まず、この発明の実施の形態の半導体装置の構造について説明する。図1は、

実施の形態の半導体装置の構造を示す断面図である。

【0016】

図1に示すように、p型半導体基板11上には、n型ウェル領域（n型不純物半導体領域）12及びp型ウェル領域（p型不純物半導体領域）13が形成されている。n型ウェル領域12とp型ウェル領域13との間には素子分離絶縁膜14が形成されている。

【0017】

前記素子分離絶縁膜14間の素子領域としてのn型ウェル領域12には、p型不純物半導体領域であるエクステンション領域15が離間して形成され、さらにエクステンション領域15の外側にはp型不純物半導体領域であるソース／ドレイン領域16が形成されている。また、他の前記素子分離絶縁膜14間の素子領域としてのp型ウェル領域13には、n型不純物半導体領域であるエクステンション領域17が離間して形成され、さらにエクステンション領域17の外側にはn型不純物半導体領域であるソース／ドレイン領域18が形成されている。

【0018】

前記ソース／ドレイン領域16間のnウェル領域12上には、ゲート絶縁膜19Aが形成され、このゲート絶縁膜19A上にはゲート電極20Aが形成されている。ゲート電極20Aの側面には、オフセットスペーサ21Aが形成されている。さらに、ゲート電極20Aの側面方向のオフセットスペーサ21A上には、ゲート側壁膜22Aが形成されている。

【0019】

また、前記ソース／ドレイン領域18間のpウェル領域13上には、ゲート絶縁膜19Bが形成され、このゲート絶縁膜19B上にはゲート電極20Bが形成されている。ゲート電極20Bの側面には、前記オフセットスペーサ21Aが持つ膜厚と異なる膜厚を持つオフセットスペーサ21Bが形成されている。さらに、ゲート電極20Bの側面方向のオフセットスペーサ21B上には、前記ゲート側壁膜22Aが持つ膜厚と異なる膜厚を持つゲート側壁膜22Bが形成されている。

【0020】

ここでは、オフセットスペーサ 21B の膜厚は、オフセットスペーサ 21A の膜厚より薄い。例えば、オフセットスペーサ 21B の半導体基板 11 と接する部分の膜厚は 6 ~ 10 nm 程度であり、オフセットスペーサ 21A の半導体基板 11 と接する部分の膜厚は 12 nm 程度である。また、ゲート側壁膜 22B の膜厚は、ゲート側壁膜 22A の膜厚より薄い。例えば、ゲート側壁膜 22A の半導体基板 11 と接する部分の膜厚は 70 nm 程度であり、ゲート側壁膜 22B の半導体基板 11 と接する部分の膜厚はこれよりも薄い。

【0021】

前記オフセットスペーサ 21A、21B には、絶縁膜、例えば TEOS (Tetraethylorthosilicate) 膜あるいはシリコン窒化膜が用いられる。オフセットスペーサ 21B は、オフセットスペーサ 21A が含有しない元素、詳しくはエッチングレートを速める元素を含んでいる。エッチングレートを速める元素とは、例えばヒ素 (As)、あるいはリン (P)、ホウ素 (B)、インジウム (In)、炭素 (C)、及びゲルマニウム (Ge) であり、オフセットスペーサ 21B はこれら元素のうちの少なくともいずれかを含んでいる。

【0022】

また、ゲート側壁膜 22A、22B には、絶縁膜、例えば TEOS 膜、シリコン窒化膜、及び BSG (Borosilicate Glass) 膜から成る積層膜が用いられる。ゲート側壁膜 22B は、ゲート側壁膜 22A が含有しない元素、詳しくはエッチングレートを速める元素を含んでいる。エッチングレートを速める元素とは、例えばヒ素 (As)、あるいはリン (P)、ホウ素 (B)、インジウム (In)、炭素 (C)、及びゲルマニウム (Ge) であり、ゲート側壁膜 22B はこれら元素のうちの少なくともいずれかを含んでいる。

【0023】

また、ゲート電極 20B は、ゲート電極 20A が含有しない元素、例えばヒ素 (As)、リン (P)、ホウ素 (B)、インジウム (In)、炭素 (C)、及びゲルマニウム (Ge) のうちの少なくともいずれかを含んでいる。

【0024】

このような構造により、n 型ウェル領域 12、エクステンション領域 15、ソ

ース／ドレイン領域16、ゲート絶縁膜19A、ゲート電極20A、オフセットスペーサ21A、及びゲート側壁膜22Aから、pMOSFETが構成されている。また、p型ウェル領域13、エクステンション領域17、ソース／ドレイン領域18、ゲート絶縁膜19B、ゲート電極20B、オフセットスペーサ21B、及びゲート側壁膜22Bから、nMOSFETが構成されている。

【0025】

前記半導体装置では、nMOSFETとpMOSFETとで、オフセットスペーサの膜厚あるいはゲート側壁膜の膜厚を変更することができるので、nMOSFET及びpMOSFETの特性を劣化させることなく最適化することができる。特に、オフセットスペーサの膜厚をnMOSFETとpMOSFETとで異なる膜厚にすることができるので、オフセットスペーサの外側下に形成されるエクステンション領域の位置を制御できる。この結果、nMOSFET及びpMOSFETの特性を最適化することができる。

【0026】

さらに、従来不要に大きくしていたオフセットスペーサの膜厚及びゲート側壁膜の膜厚を薄くできるため、nMOSFET及びpMOSFETが形成される半導体集積回路の更なる微細化が可能になる。

【0027】

次に、この発明の実施の形態の前記半導体装置の製造方法について説明する。図2～図9は、実施の形態の半導体装置の製造方法を示す各工程の断面図である。

【0028】

図2に示すように、p型半導体基板11に、トレンチアイソレーション法あるいはLOCOS法などにより素子分離絶縁膜14を形成し、素子領域を設定する。さらに、前記素子領域にイオン注入法により不純物を導入して、n型ウェル領域12、及びp型ウェル領域13を形成する。続いて、図3に示すように、ゲート絶縁膜19A、19Bを形成した後、CVD法などによりゲート電極となる導電膜、例えばポリシリコン膜を堆積する。さらに、RIE法などによりポリシリコンを加工してゲート電極20A、20Bを形成する。

【0029】

次に、図3に示した構造上に、図4に示すように、オフセットスペーサとなる絶縁膜21、例えばTEOS膜あるいはシリコン窒化膜をLPCVD法などにより膜厚9.5nm程度形成する。

【0030】

続いて、形成するnMOSFET及びpMOSFETのうち、一方の素子領域を保護膜で覆い、他方の素子領域は開口した状態で、不純物元素、例えばヒ素(As)あるいはリン(P)、ホウ素(B)、インジウム(In)、炭素(C)、ゲルマニウム(Ge)の少なくともいずれかを絶縁膜21に導入する。

【0031】

ここでは、図5に示すように、pMOSFETの素子領域をレジスト膜23で覆い、nMOSFETの素子領域は開口した状態で、イオン注入法により不純物元素24、例えばヒ素(As)あるいはリン(P)、ホウ素(B)、インジウム(In)、炭素(C)、ゲルマニウム(Ge)の少なくともいずれかを絶縁膜21に導入する。このときのイオン注入条件は次の通りである。ホウ素の場合は、加速電圧5keV、ドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ 、またヒ素の場合は、加速電圧50keV、ドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ 、リンの場合は、加速電圧15keV、ドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ でそれぞれイオン注入される。このイオン注入により、nMOSFETの素子領域上の不純物元素24が導入された絶縁膜21はエッチングレートが速くなる。

【0032】

その後、レジスト膜23を剥離し、RIE法などの異方性エッチングにより前記絶縁膜21を加工する。これにより、図6に示すように、pMOSFETのゲート電極20Aの側面にオフセットスペーサ21Aを形成するとともに、nMOSFETのゲート電極20Bの側面に、前記オフセットスペーサ21Aより膜厚が薄いオフセットスペーサ21Bを形成する。nMOSFETの素子領域上の絶縁膜21は、pMOSFETの素子領域上の絶縁膜21よりエッチングレートが速いため、オフセットスペーサ21Bの膜厚はオフセットスペーサ21Aの膜厚より薄くなる。前述したように例えば、オフセットスペーサ21Bの半導体基板

11と接する部分の膜厚は6～10nm程度に設定し、オフセットスペーサ21Aの半導体基板11と接する部分の膜厚は12nm程度に設定する。

【0033】

このように、一方のトランジスタ形成領域上のオフセットスペーサとなる絶縁膜のみにエッチングレートを変化させる不純物元素を導入することにより、1回のオフセットスペーサ形成用絶縁膜の堆積及びエッチングの工程にて、nMOSFET及びpMOSFETのゲート電極の側面に膜厚の異なるオフセットスペーサを形成することができる。

【0034】

その後、nMOSFETの素子領域をレジスト膜にて保護し、ゲート電極20A及びオフセットスペーサ21Aをマスクとして用いて、図7に示すように、nウェル領域12の表面領域に不純物をイオン注入して、pMOSFETのゲート絶縁膜19A下に形成されるチャネル領域を挟むエクステンション領域（p型不純物半導体領域）15を形成する。同様に、pMOSFETの素子領域をレジスト膜にて保護し、ゲート電極20B及びオフセットスペーサ21Bをマスクとして用いて、pウェル領域13の表面領域に不純物をイオン注入して、nMOSFETのゲート絶縁膜19B下に形成されるチャネル領域を挟むエクステンション領域（n型不純物半導体領域）17を形成する。

【0035】

続いて、図7に示した構造上に、図8に示すように、ゲート側壁膜となる絶縁膜22、例えばTEOS膜、シリコン窒化膜、BSG膜から成る積層膜をLPCVD法などにより膜厚64nm程度形成する。

【0036】

さらに、形成するnMOSFET及びpMOSFETのうち、一方の素子領域を保護膜で覆い、他方の素子領域は開口した状態で、不純物元素、例えばヒ素（As）あるいはリン（P）、ホウ素（B）、インジウム（In）、炭素（C）、ゲルマニウム（Ge）の少なくともいずれかを絶縁膜22に導入する。

【0037】

ここでは、図9に示すように、pMOSFETの素子領域をレジスト膜25で

覆い、 n MOSFETの素子領域は開口した状態で、イオン注入法により不純物元素26、例えばヒ素(As)あるいはリン(P)、ホウ素(B)、インジウム(In)、炭素(C)、ゲルマニウム(Ge)の少なくともいずれかを絶縁膜22に導入する。このイオン注入により、 n MOSFETの素子領域上の不純物元素26が導入された絶縁膜22はエッチングレートが速くなる。

【0038】

その後、レジスト膜25を剥離し、RIE法などの異方性エッチングにより前記絶縁膜22を加工する。これにより、図1に示すように、 p MOSFETのゲート電極20Aの側面方向のオフセットスペーサ21A上にゲート側壁膜22Aを形成するとともに、 n MOSFETのゲート電極20Bの側面方向のオフセットスペーサ21B上にゲート側壁膜22Bを形成する。 n MOSFETの素子領域上の絶縁膜22は、 p MOSFETの素子領域上の絶縁膜22よりエッチングレートが速いため、ゲート側壁膜22Bの膜厚はゲート側壁膜22Aの膜厚より薄くなる。前述したように例えば、ゲート側壁膜22Aの半導体基板11と接する部分の膜厚は70nm程度であり、ゲート側壁膜22Bの半導体基板11と接する部分の膜厚はこれよりも薄い。

【0039】

このように、一方のトランジスタ形成領域上のゲート側壁膜となる絶縁膜のみにエッチングレートを変化させる不純物元素を導入することにより、1回のゲート側壁膜形成用絶縁膜の堆積及びエッチングの工程にて、 n MOSFET及び p MOSFETのゲート電極の側面上に膜厚の異なるゲート側壁膜を形成することができる。

【0040】

その後、 n MOSFETの素子領域をレジスト膜にて保護し、ゲート電極20A、オフセットスペーサ21A、及びゲート側壁膜22Aをマスクとして用いて、 n ウェル領域12の表面領域に不純物をイオン注入して、 p MOSFETのゲート絶縁膜19A下に形成されるチャネル領域を挟むエクステンション領域15の外側に、ソース/ドレイン領域(p 型不純物半導体領域)16を形成する。同様に、 p MOSFETの素子領域をレジスト膜にて保護し、ゲート電極20B、

オフセットスペーサ 21B、及びゲート側壁膜 22B をマスクとして用いて、p ウェル領域 13 の表面領域に不純物をイオン注入して、nMOSFET のゲート絶縁膜 19B 下に形成されるチャネル領域を挟むエクステンション領域 17 の外側にソース／ドレイン領域（n 型不純物半導体領域）18 を形成する。

【0041】

以上の工程により、図 1 に示した実施の形態の半導体装置が製造される。

【0042】

前述した製造工程では、オフセットスペーサとなる絶縁膜 21 の堆積、及びオフセットスペーサを形成するための絶縁膜 21 のエッチングを、それぞれ 1 回づつしか行わないので、これらを複数回行う場合に比べてオフセットスペーサの膜厚のばらつきを小さくできる。これにより、オフセットスペーサの膜厚のばらつきに起因するオフセットスペーサをマスクとして形成されるエクステンション領域の位置のばらつきを小さくでき、MOS 型電界効果トランジスタの特性のばらつきを低減することができる。さらに、オフセットスペーサの膜厚を、nMOSFET と pMOSFET とで異なる膜厚にすることができるので、オフセットスペーサの外側下に配置されるエクステンション領域を最適な位置に形成することができる。これにより、nMOSFET 及び pMOSFET の特性を最適化することができる。

【0043】

また、オフセットスペーサを形成するための絶縁膜 21 のエッチングにおいて、エッチング時の基板掘れに起因するドーズロスによる素子の特性劣化を低減できる。すなわち、前記エッチング時において、エクステンション領域及びソース／ドレイン領域が形成されるべき半導体基板の表面領域がエッチングされるのを低減できるため、nMOSFET 及び pMOSFET の特性劣化を抑制できる。

【0044】

以上説明したように実施の形態の半導体装置の製造方法によれば、大幅な工程数の増加や、オフセットスペーサの膜厚のばらつき増加による MOSFET の特性のばらつき増加、あるいはオフセットスペーサを形成するために堆積膜をエッチングする際の基板のエッチング量増加による MOSFET の特性劣化といった

問題を伴わずに、nMOSFETとpMOSFETとで、それぞれが持つオフセットスペーサの膜厚あるいはゲート側壁膜の膜厚を変更することができる。これにより、MOSFETの特性の最適化が容易となる。さらに、従来不要に大きくしていたオフセットスペーサの膜厚及びゲート側壁膜の膜厚を小さくできるため、半導体集積回路の更なる微細化が可能になる。

【0045】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0046】

【発明の効果】

以上述べたようにこの発明によれば、大幅な工程数の増加や、MOSFETの特性のばらつき増加あるいは特性劣化といった問題を伴わずに、nMOSFETとpMOSFETとで、オフセットスペーサの膜厚あるいはゲート側壁膜の膜厚を変更することができ、MOSFETの最適化が容易な半導体装置及びその製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】 この発明の実施の形態の半導体装置の構造を示す断面図である。

【図2】 この発明の実施の形態の半導体装置の製造方法を示す第1工程の断面図である

【図3】 この発明の実施の形態の半導体装置の製造方法を示す第2工程の断面図である

【図4】 この発明の実施の形態の半導体装置の製造方法を示す第3工程の断面図である

【図5】 この発明の実施の形態の半導体装置の製造方法を示す第4工程の断面図である

【図6】 この発明の実施の形態の半導体装置の製造方法を示す第5工程の断面図である

【図 7】 この発明の実施の形態の半導体装置の製造方法を示す第 6 工程の断面図である

【図 8】 この発明の実施の形態の半導体装置の製造方法を示す第 7 工程の断面図である

【図 9】 この発明の実施の形態の半導体装置の製造方法を示す第 8 工程の断面図である

【図 10】 従来の半導体装置の製造方法を示す第 1 工程の断面図である。

【図 11】 従来の半導体装置の製造方法を示す第 2 工程の断面図である。

【図 12】 従来の半導体装置の製造方法を示す第 3 工程の断面図である。

【図 13】 従来の半導体装置の製造方法を示す第 4 工程の断面図である。

【図 14】 従来の半導体装置の製造方法を示す第 5 工程の断面図である。

【図 15】 従来の他の半導体装置の製造方法を示す第 1 工程の断面図である。

【図 16】 従来の前記他の半導体装置の製造方法を示す第 2 工程の断面図である。

【図 17】 従来の前記他の半導体装置の製造方法を示す第 3 工程の断面図である。

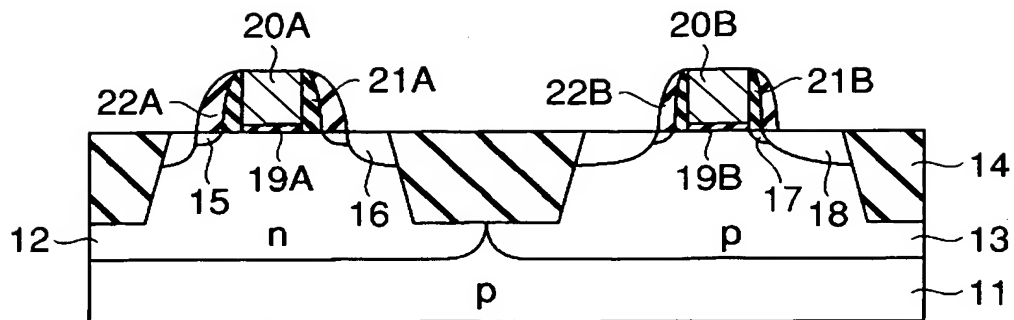
【符号の説明】

11…p 型半導体基板、12…n 型ウェル領域、13…p 型ウェル領域、14…素子分離絶縁膜、15…エクステンション領域、16…ソース／ドレイン領域、17…エクステンション領域、18…ソース／ドレイン領域、19A…ゲート絶縁膜、19B…ゲート絶縁膜、20A…ゲート電極、20B…ゲート電極、21…絶縁膜、21A…オフセットスペーサ、21B…オフセットスペーサ、22…絶縁膜、22A…ゲート側壁膜、22B…ゲート側壁膜、23…レジスト膜、24…不純物元素、25…レジスト膜、26…不純物元素。

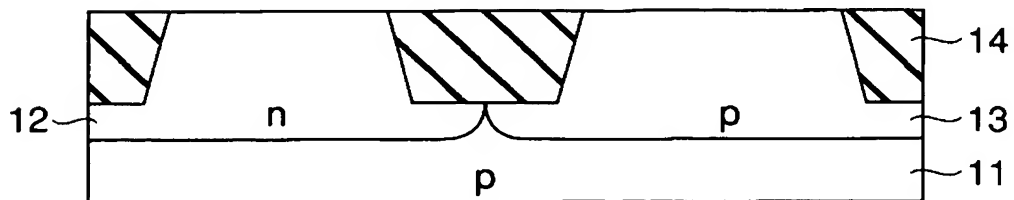
【書類名】

図面

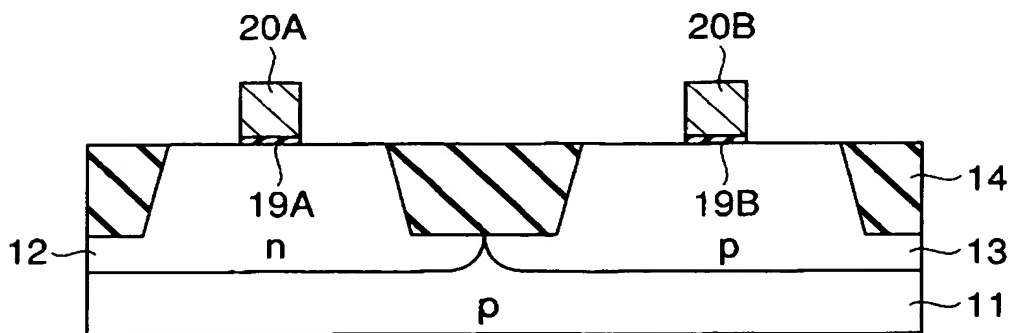
【図 1】



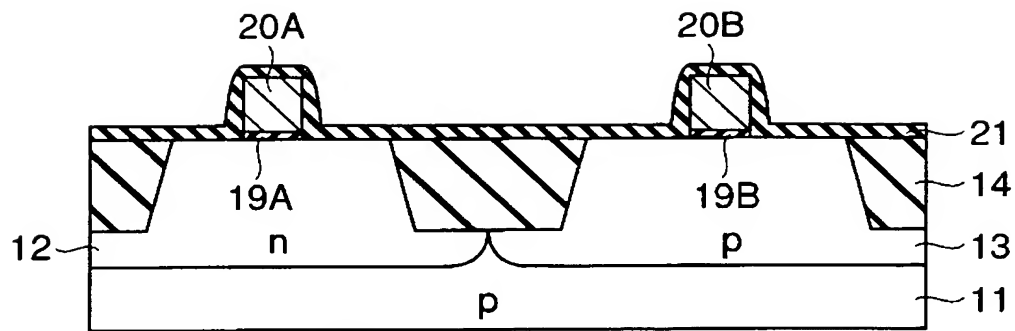
【図 2】



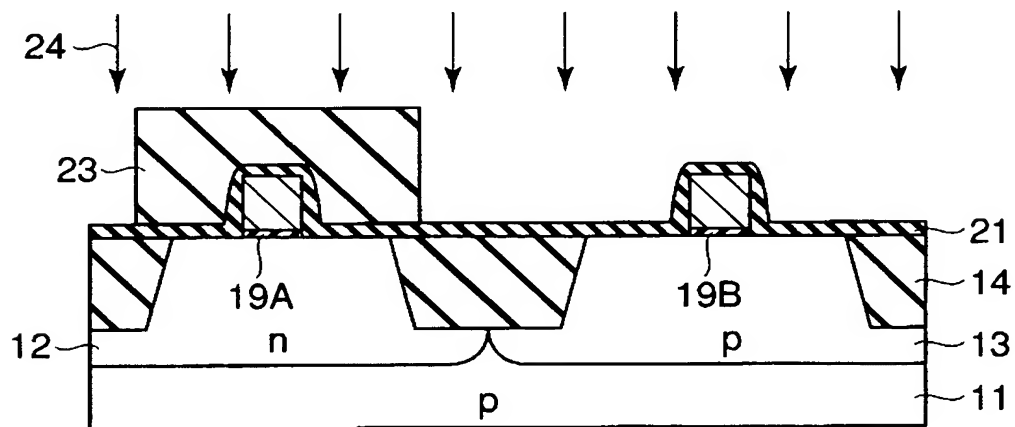
【図 3】



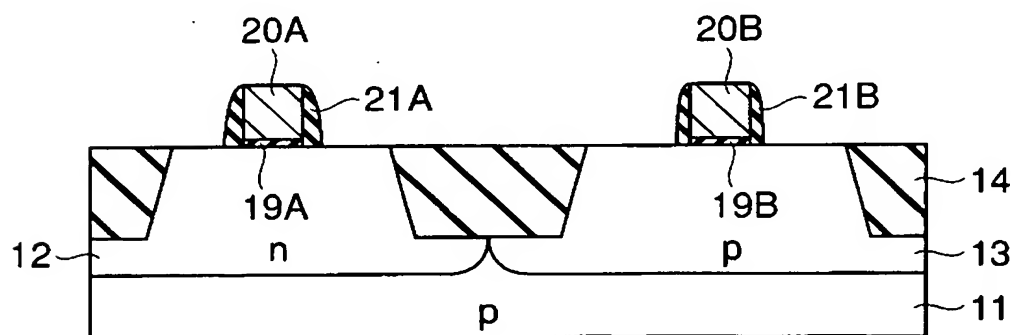
【図 4】



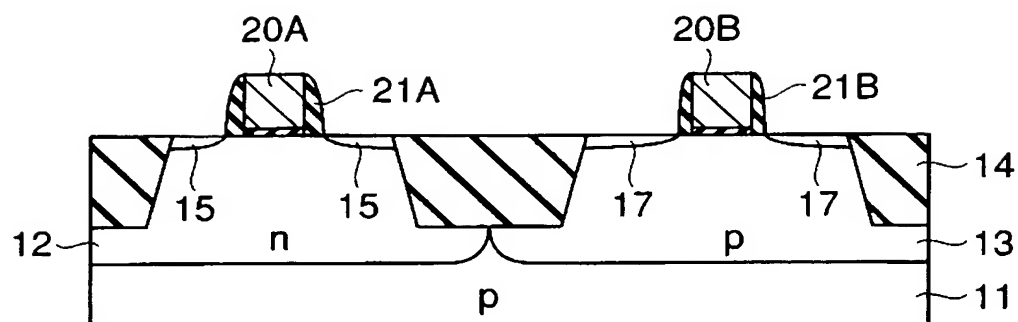
【図 5】



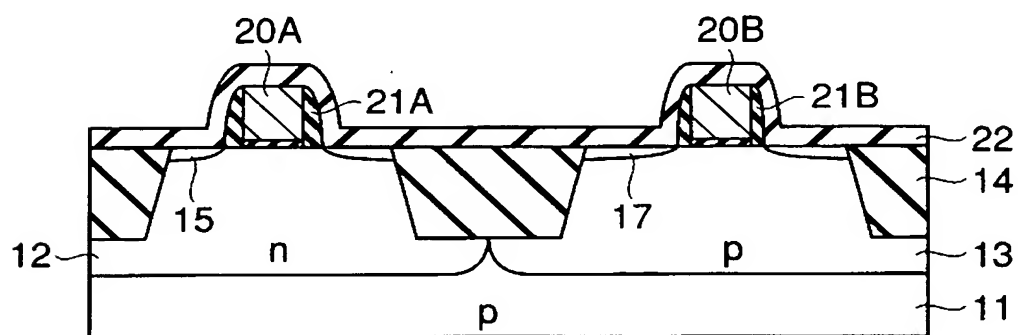
【図 6】



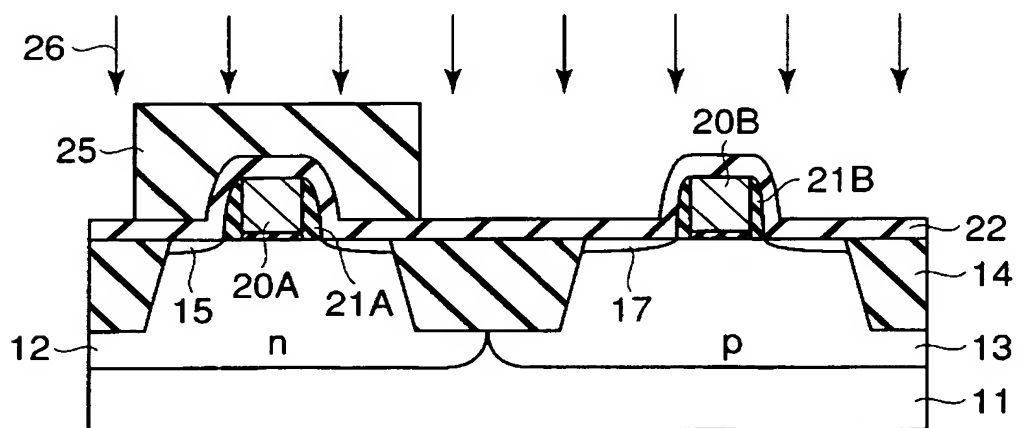
【図 7】



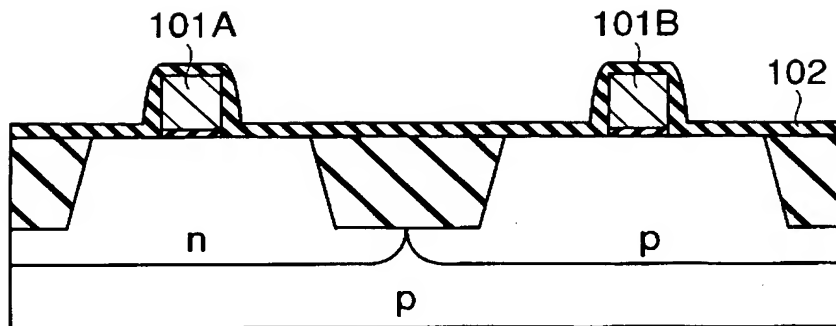
【図 8】



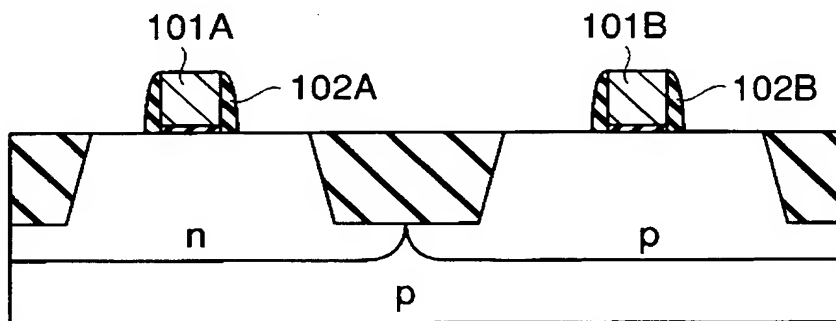
【図 9】



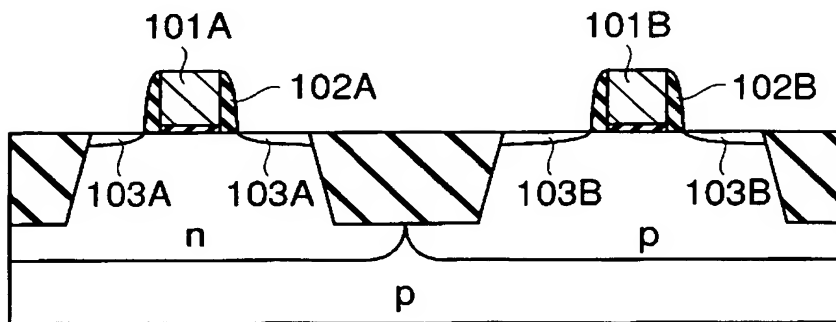
【図 10】



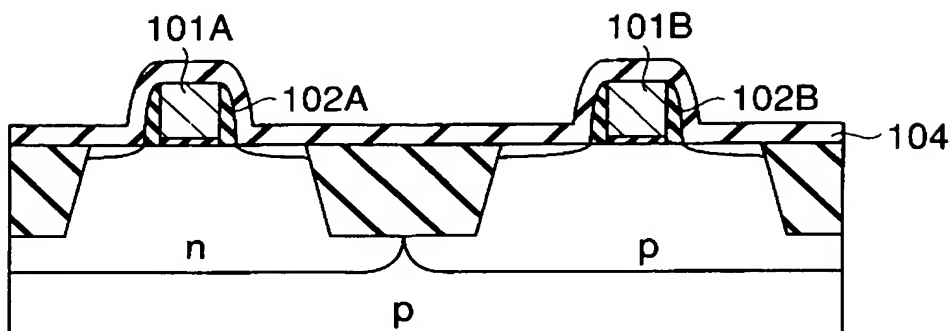
【図 11】



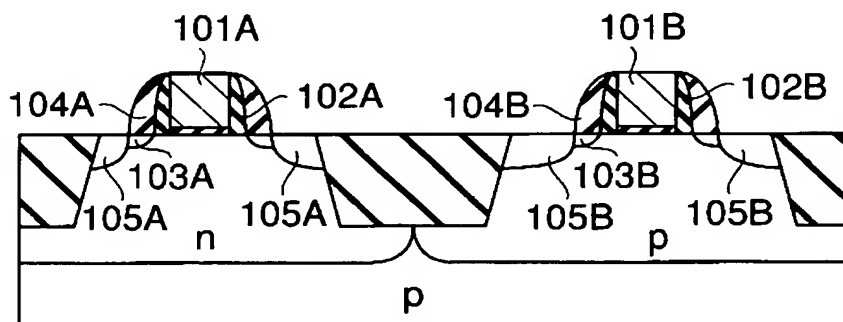
【図 12】



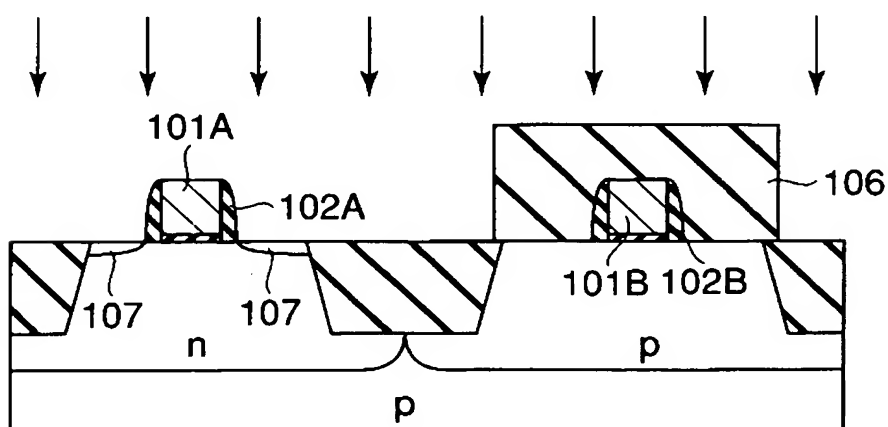
【図 13】



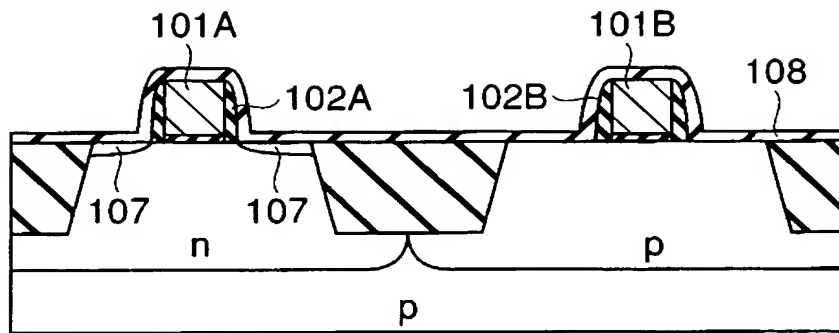
【図 14】



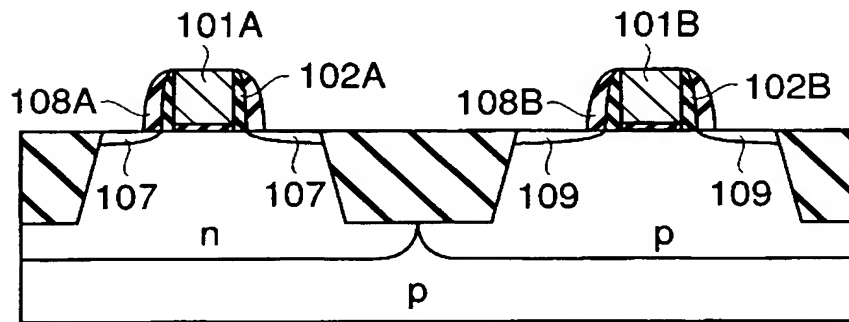
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 nMOSFETとpMOSFETとにおいてオフセットスペーサの膜厚あるいはゲート側壁膜の膜厚を変更でき、MOSFETの最適化が容易な半導体装置を提供する。

【解決手段】 p型半導体基板11に形成されたn型ウェル領域12、p型ウェル領域13と、n型ウェル領域12上に形成されたゲート電極20Aと、p型ウェル領域13上に形成されたゲート電極20Bと、ゲート電極20Aの側面に形成されたオフセットスペーサ21Aと、ゲート電極20Bの側面に形成され、オフセットスペーサ21Aと異なる膜厚を有するオフセットスペーサ21Bと、ゲート電極20A側面のオフセットスペーサ21A上に形成されたゲート側壁膜22Aと、ゲート電極20B側面のオフセットスペーサ21B上に形成され、ゲート側壁膜22Aと異なる膜厚を有するゲート側壁膜22Bとから構成される。

【選択図】 図1

特願 2 0 0 3 - 0 9 1 9 7 2

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝